

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-30086

(43) 公開日 平成7年(1995)1月31日

(51) Int.Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 27/146				
H 0 4 N 5/335	Z	7210-4M	H 0 1 L 27/ 14	A

審査請求 未請求 請求項の数2 O L (全 6 頁)

(21) 出願番号 特願平5-153546

(22) 出願日 平成5年(1993)6月24日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 山田 学

東京都品川区北品川6丁目7番35号 ソニー株式会社内

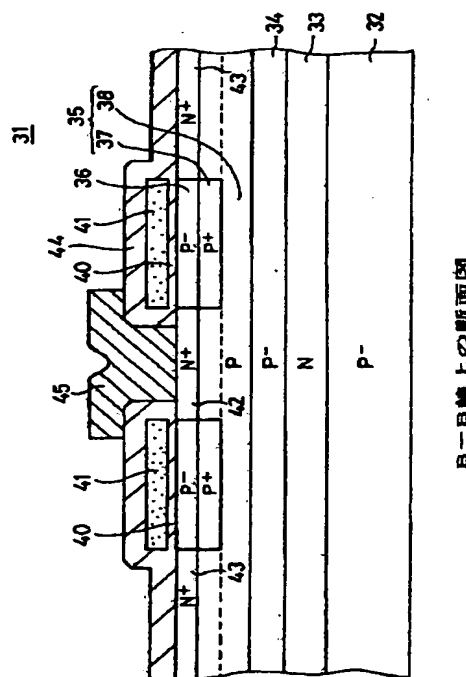
(74) 代理人 弁理士 松隈 秀盛

(54) 【発明の名称】 増幅型固体撮像素子

(57) 【要約】

【目的】 増幅型固体撮像素子における長波長光の感度向上を図ると共に、画素トランジスタにおける光生成電荷の蓄積能力の増大を図る。

【構成】 増幅型画素トランジスタを用いて構成された増幅型固体撮像素子において、増幅型画素トランジスタ31のゲート下のバルク中に、光電変換された正孔を蓄積するP<sup>+</sup>半導体領域37とその下のP半導体領域38にて構成された電荷蓄積領域35を有し、この電荷蓄積領域が深さ方向に不純物濃度を減少する不純物プロファイルとなるように構成する。



1

## 【特許請求の範囲】

【請求項 1】 増幅型画素トランジスタを用いて構成された増幅型固体撮像素子において、

前記増幅型画素トランジスタのゲート下のオーバーフロー位置が可視の赤色光によって光電変換された電荷が十分電荷蓄積領域に蓄積される深さに在ることを特徴とする増幅型固体撮像素子。

【請求項 2】 増幅型画素トランジスタのゲート下のバルク中に、光電変換された電荷を蓄積する第 1 導電形の電荷蓄積領域と第 2 導電形のオーバーフローバリア領域を有し、

前記電荷蓄積領域は深さ方向に不純物濃度が減少する不純物プロファイルを有することを特徴とする増幅型固体撮像素子。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、増幅型固体撮像素子に関する。

## 【0002】

【従来の技術】 図 7 及び図 8 は従来の増幅型固体撮像素子を示す。増幅型撮像素子は、ゲート電極下に光電変換された電荷（いわゆる光生成電荷）を蓄積し、この電荷によりドレイン電流を変調、増幅する MOS 型トランジスタ（以下、増幅型画素トランジスタと称する）を画素に用いて構成される。

【0003】 即ち、図 8（図 7 の A-A 線上の断面）に示すように、P 形のシリコン半導体基板 2 上に N 形ウエル領域 3 及び P 形ウエル領域 4 が形成され、この P 形ウエル領域 4 上に SiO<sub>2</sub> 等のゲート絶縁膜 5 を介して光を透過しうる薄膜多結晶シリコンからなるリング状ゲート電極 6 が形成され、そのリング状ゲート電極 6 の中心孔及び外周に対応するウエル領域 4 に夫々ゲート電極 6 をマスクとするセルフアラインにて夫々 N 形のソース領域 7 及びドレイン領域 8 が形成され、ここに 1 画素となる増幅型画素トランジスタ 9 が構成される。12 は層間絶縁膜である。

【0004】 この増幅型画素トランジスタ 9 が図 7 に示すように複数個マトリックス状に配列され、各列に対応する画素トランジスタ 9 のソース領域 7 が例えば第 1 層 A1 による共通の信号線 10 に接続され、各行に対応する画素トランジスタ 9 のゲート電極 6 が例えば第 2 層 A1 による共通の垂直選択線 11 に接続される。17 はソース領域 7 と信号線 10 が接続されたいわゆるソースコンタクト部、18 はゲート電極より一体のコンタクトパッド部 13 と垂直選択線 11 が接続されたいわゆるゲートコンタクト部である。

【0005】 増幅型画素トランジスタ 9 では、図 8 に示すように、リング状ゲート電極 6 を透過した光が電子-正孔を生成し、このうちの正孔 h が信号電荷としてリング状ゲート電極 9 下のバルク中に蓄積する。図 7 の垂直

2

選択線 11 を通してリング状ゲート電極 6 に正の電圧が印加され、画素トランジスタ 9 がオンされると、ドレイン電流 I<sub>d</sub> が表面（即ちチャネル領域）に流れる。このドレイン電流 I<sub>d</sub> はリング状ゲート電極 6 下に蓄積された信号電荷 h により変化を受けるので、このドレイン電流 I<sub>d</sub> を信号線 10 を通して出力し、その変化量を読み出す。

【0006】 即ち、増幅型固体撮像素子 1 における画素信号は、いわゆるゲート電極に正バイアスを印加して、ゲート電極下に蓄積された光生成正孔により変調されたチャネルポテンシャルを電流または電圧で読み出す。

## 【0007】

【発明が解決しようとする課題】 一方、図に示すような増幅型画素トランジスタ 21 を用いた増幅型固体撮像素子も考えられている。この増幅型画素トランジスタ 21 は、前述の図 8 の構成において、さらにゲート電極 6 下の P- チャネル領域 22 の下部に光生成正孔 h が蓄積される P+ 電荷蓄積領域 23 を形成して構成される。他の構成は図 8 と同様である。

【0008】 この増幅型画素トランジスタ 21 では、前述の図 8 と同様に、ゲート電極 6 下の P+ 電荷蓄積領域 23 に光生成正孔 h が蓄積され、ゲート電極 6 に正の電圧が印加され、オンされると、チャネル領域 22 に流れるドレイン電流 I<sub>d</sub> が光生成正孔 h により変調を受け、その変化量が出力回路を通じて電流または電圧の形で画素信号として読み出される。

【0009】 ここで、画素の利得を考えるために、図 5 に示すような一次元の容量モデルを考える。C<sub>ox</sub> はゲート絶縁膜（SiO<sub>2</sub> 膜）の容量、C<sub>SN</sub> はシリコン表面と電荷蓄積領域 23 間の容量、C<sub>SB</sub> は電荷蓄積領域 23 と空乏層端間の容量であり、V<sub>g</sub> はゲート印加電圧である。また、φ<sub>ch</sub> はチャネルポテンシャル、φ<sub>sen</sub> は電荷蓄積領域のポテンシャル（センサポテンシャル）を示す。ゲート面積を S、ゲート絶縁膜の誘電率を ε<sub>sio2</sub>、シリコンの誘電率を ε<sub>si</sub>、ゲート絶縁膜厚を d<sub>sio2</sub>、電荷蓄積領域 23 のシリコン表面からの深さを d<sub>SN</sub>、電荷蓄積領域 23 から空乏層端までの深さを W とすると、C<sub>ox</sub>、C<sub>SN</sub>、C<sub>SB</sub> は数 1 のごとくなる。

## 【0010】

## 【数 1】

$$C_{ox} = \frac{\epsilon_{sio2} \times S}{d_{sio2}}$$

$$C_{SN} = \frac{\epsilon_{si} \times S}{d_{SN}}$$

$$C_{ox} = \frac{\epsilon_{si} \times S}{W}$$

40

50

3

【0011】数1から、表面チャネルのポテンシャル変動 $\Delta\phi_{ch}$ とセンサポテンシャル変動 $\Delta\phi_{sen}$ の関係は数2の如くなる。

【0012】

【数2】

$$\Delta\phi_{ch} = \frac{\frac{1}{C_{ox}}}{\frac{1}{C_{ox}} + \frac{1}{C_{sn}}} \Delta\phi_{sen}$$

$$= \frac{C_{sn}}{C_{ox} + C_{sn}} \Delta\phi_{sen}$$

【0013】数2により、表面チャネルのポテンシャルの変動 $\Delta\phi_{ch}$ は、センサポテンシャルの変動 $\Delta\phi_{sen}$ を一定とするなら、容量 $C_{sn}$ が小さい程、つまり電荷蓄積領域23の深さ $d_{sn}$ が浅い程大きい。従って、図4の構造では電荷蓄積領域23をできるだけシリコン表面近傍にした方が利得が高くなる。

【0014】電荷蓄積領域23をシリコン表面近傍にするには、電荷蓄積領域23をより低エネルギーイオン注入で形成すれば良い。

【0015】図4の増幅型画素トランジスタ21において、例えば画素の信号読み出し時の静電ポテンシャルプロファイルは、図6に示す如くなる。光生成正孔 $h$ は図6の斜線部に蓄積されるが、その蓄積量は少なく、すぐにオーバーフローしてしまう。また、オーバーフロー位置B点はシリコン表面から浅いので、赤色光等の長波長光によって光電変換された正孔 $h$ は蓄積されにくい。

【0016】従って、ダイナミックレンジが狭く、赤感度が低下した分光特性の悪い増幅型固体撮像素子となる。

【0017】本発明は、上述の点に鑑み、分光特性の向上を図ると共に、光生成電荷の蓄積能力を増大しうる増幅型固体撮像素子を提供するものである。

【0018】

【課題を解決するための手段】本発明は、増幅型画素トランジスタを用いて構成された増幅型固体撮像素子、特に可視光用の増幅型固体撮像素子において、増幅型画素トランジスタのゲート下のオーバーフロー位置を可視の赤色光によって光電変換された電荷が十分電荷蓄積領域に蓄積される深さに在るようにして構成する。

【0019】また、本発明に係る増幅型固体撮像素子は、増幅型画素トランジスタのゲート下のバルク中に、光電変換された電荷を蓄積する第1導電形の電荷蓄積領域と第2導電形のオーバーフローバリア領域を有し、電荷蓄積領域が深さ方向に不純物濃度が減少する不純物プ

4

ロファイルを有するようにして構成する。

【0020】

【作用】第1の発明においては、増幅型画素トランジスタのゲート下のオーバーフロー位置が可視の赤色光によって光電変換された電荷が十分電荷蓄積領域に蓄積される深さに在るので、長波長光を有効に利用でき、分光特性が向上する。また光生成電荷の蓄積能力も増大する。

【0021】第2の発明においては、増幅型画素トランジスタのゲート下のバルク中に、第1導電形の電荷蓄積領域と第2導電形のオーバーフローバリア領域を有し、電荷蓄積領域を深さ方向に不純物濃度が減少する不純物プロファイルとすることにより、光生成電荷の蓄積能力が増大すると共に、長波長光によって光電変換された電荷も電荷蓄積領域に蓄積され、分光特性が向上する。

【0022】

【実施例】以下、図1～図3を参照して本発明による増幅型固体撮像素子の実施例を説明する。

【0023】本例においては、図2（図1のB-B線上の断面）に示すように、第1導電形の半導体基板、例えばP形の低不純物濃度のシリコン基板32上に光生成正孔のオーバーフローバリアの役目をする第2導電形即ちN形のウエル領域33が形成され、このN形ウエル領域33に低不純物濃度のP-半導体領域34が形成され、このP-半導体領域34内の少なくともゲート下に対応する部分に光生成正孔が蓄積されるP形の電荷蓄積領域35が形成される。

【0024】このP形の電荷蓄積領域35は、深さ方向になだらかな不純物プロファイルが形成されるように、図示の例では、できるだけシリコン表面（チャネル領域36）に近いバルク中に形成された高不純物濃度のP+半導体領域37と、その下の中間不純物濃度（即ちP+半導体領域37とP-半導体領域34の中間の不純物濃度）を有するP半導体領域38とで形成される。なお、このP半導体領域38はP+半導体領域37から深さ方向に向かって、或はN形ウエル領域33まで、漸次段階的に又は連続的に濃度が減少するように形成することも可能である。

【0025】そして、シリコン表面上に $SiO_2$ 等のゲート絶縁膜40を介して光を透過しうる薄膜多結晶シリコンからなるリング状ゲート電極41が形成され、そのリング状ゲート電極41の中心孔及び外周に対応する領域に夫々ゲート電極41をマスクとするセルフラインにて夫々N形のソース領域42及びドレイン領域43が形成される。

【0026】N形ウエル領域33は低濃度のP形シリコン基板32に対して例えば高エネルギーイオン注入により形成される。従って、このN形ウエル領域33で区画された上層のP-半導体領域34はP形シリコン基板32と同じ不純物濃度を呈する。

【0027】電荷蓄積領域35を構成するP+半導体領

50

5

域37は、画素部全域にイオン注入し、ゲート電極41のバターニング後に、ソース領域42及びドレイン領域43をセルフラインにて形成する際に打ち消すことにより、ゲート電極41下のみに形成することができる。P-チャネル領域36は基板32と同じ濃度である。

【0028】また、電荷蓄積領域35を構成するP半導体領域（いわゆるウエル領域）38は例えばN形ウエル領域33或はP+半導体領域37を形成する際のマスクと同一マスクを用いて数100keV程度のエネルギーでイオン注入することにより形成できる。このP形半導体領域38は図示の場合、例えば基板32の不純物濃度より1~2桁程度濃度を高くして形成される。

【0029】このようにして、1画素となる増幅型画素トランジスタ31が構成される。44は層間絶縁膜である。

【0030】この増幅型画素トランジスタ31が、図1に示すように、複数個マトリックス状に配列され、各列に対応する画素トランジスタ31のソース領域42が例えば第1層A1による共通の信号線45に接続され、各行に対応する画素トランジスタ31のゲート電極40が例えば第2層A1による共通の垂直選択線46に接続されて増幅型撮像素子50が構成される。47はゲート電極より一体のコンタクトパッド部48と垂直選択線46が接続されたいわゆるゲートコンタクト部、49はソース領域42と信号線45が接続されたいわゆるソースコンタクト部である。

【0031】上述の構成によれば、電荷蓄積領域35を構成するP+半導体領域37をシリコン表面近傍に形成することにより、画素の利得を高くすることができる。そして、特にP+半導体領域37下に之と共に電荷蓄積領域35を構成するP半導体領域、即ちP+半導体領域37とP-半導体領域34の中間の不純物濃度、又は漸次濃度が深さ方向に減少するP半導体領域38、を形成することにより、電荷蓄積領域35の深さ方向の不純物プロファイルがなだらかに低くなる不純物プロファイルとなり、画素の信号読み出し時の静電ポテンシャルプロファイルが図3に示す様になる。

【0032】図3において、光生成正孔hは、斜線部に蓄積され、この斜線部が正孔蓄積能力を示している。図6と比較すると、面積が増加し光生成正孔hの蓄積量が増えることが分かる。つまり、正孔蓄積能力が増大している。さらに、オーバーフロー位置が図6のB点から深さ方向のA点に移動し、即ち、可視の赤色光によって光電変換された正孔hが十分に電荷蓄積領域35に蓄積される深さ（例えば2~3 $\mu$ m）となる。従って、赤色光等の長波長光による光生成正孔が電荷蓄積領域35に有効に蓄積され、赤感度を向上することができる。

【0033】赤色光等の長波長光は半導体における吸収係数が小さいので、吸収されるのに表面から数 $\mu$ mの深さに達する。この間は光電変換に寄与し、オーバーフロ

6

ー位置Aが深いと赤色光等の長波長光を十分活用することができ、ダイナミックレンジが広くなり、分光特性が良好となる。

【0034】このように、本実施例の構成では、画素の利得を上げるべく極低エネルギーイオン注入でP+半導体領域37を形成したことで光生成正孔の蓄積能力と赤感度の低下を改善し、さらに、それらを向上することができる。

【0035】また、電荷蓄積領域35を構成するP形半導体領域38は、画素部全域にイオン注入して形成するので、オーバーフローバリアとなるN形ウエル領域33又はP+半導体領域37の形成と同一のマスクを使えるので、製造プロセスが複雑にならずに図2の構成の画素トランジスタ31が形成できる。

【0036】なお、上例では正孔を蓄積する導電型式の構成としたが、その他、電子を蓄積する導電型式の構成にも適用できる。

【0037】

【発明の効果】本発明に係る増幅型固体撮像素子によれば、電荷蓄積領域の信号読み出し時の静電ポテンシャルプロファイルを最適化することができ、長波長光の感度を向上させ、分光特性を向上させることができると共に、画素トランジスタにおける蓄積能力を増大させることができる。従って、可視光用の増幅型固体撮像素子に適用して好適ならしめるものである。

【図面の簡単な説明】

【図1】本発明に係る増幅型固体撮像素子の一例を示す構成図である。

【図2】図1のB-B線上の断面図である。

【図3】本発明に係る増幅型画素トランジスタの信号読み出し時の静電ポテンシャルプロファイルである。

【図4】増幅型画素トランジスタ比較例を示す断面図である。

【図5】図4の増幅型画素トランジスタの説明に供する一次元の容量モデル図である。

【図6】図4の増幅型画素トランジスタの信号読み出し時の静電ポテンシャルプロファイルである。

【図7】従来の増幅型固体撮像素子の構成図である。

【図8】図7のA-A線上の断面図である。

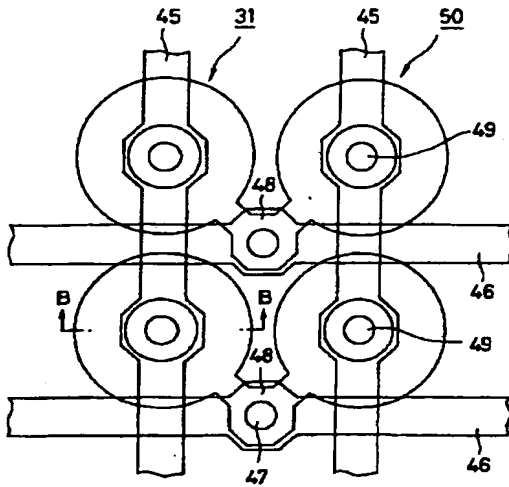
【符号の説明】

- 9, 21, 31 増幅型画素トランジスタ
- 2, 32 P形半導体基板
- 3, 33 N形ウエル領域
- 4, 34 P形ウエル領域
- 35 電荷蓄積領域
- 22, 36 チャネル領域
- 23, 37 P+半導体領域
- 38 P半導体領域
- 5, 40 ゲート絶縁膜
- 6, 41 ゲート電極

7  
7, 42 ソース領域  
8, 43 ドレイン領域  
10, 45 信号線  
11, 46 選択線

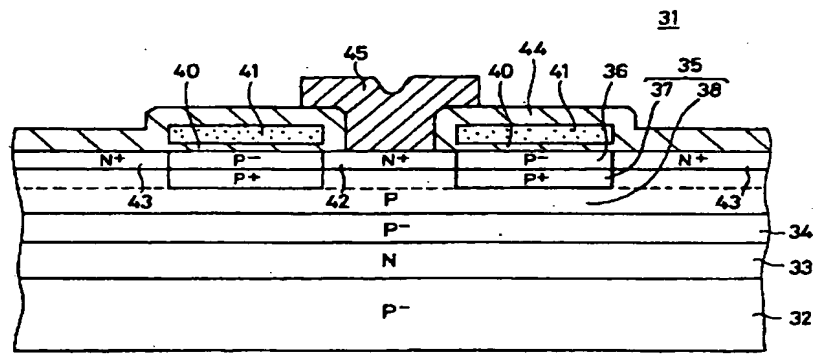
8  
\* 18, 47 ゲートコンタクト部  
13, 48 コンタクトパッド部  
17, 49 ソースコンタクト部  
\* 1, 50 増幅型固体撮像素子

【図1】



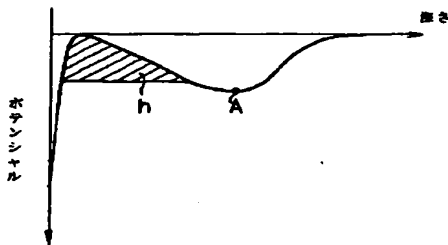
本実施例の構成図

【図2】



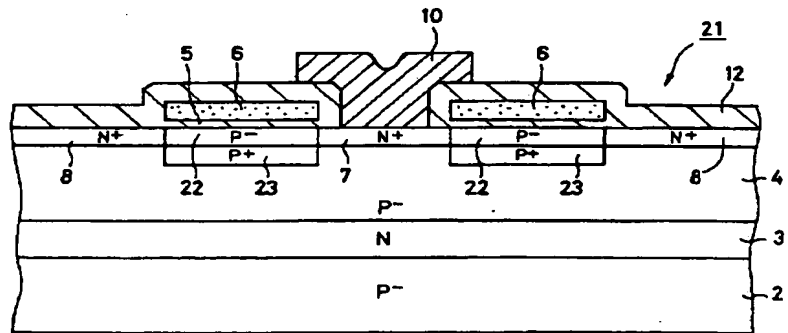
B-B線上の断面図

【図3】



本実施例に係る  
静電ポテンシャルプロファイル

【図4】



比較例の断面図

【図5】

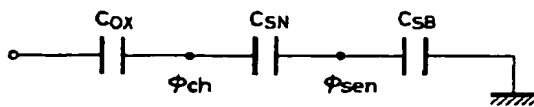


図4の1次元の容量モデル

